

English Reference of PN040525

METHOD OF MANUFACTURING A MOS TRANSISTOR

Technical Field of the Invention

The present invention relates to a method of manufacturing a semiconductor element such as a MOS transistor, more particularly to a technique for solving a problem caused by an oxide film used as a substrate protection mask in lightly doped drain (LDD) process of a MOS transistor to achieve a hot carrier effect.

Background of the Invention

A MOS transistor is a field-effect transistor formed on a semiconductor substrate having a gate isolated by a thin oxide film in a semiconductor layer. Unlike the case where resistance is reduced in a junction transistor, a MOS transistor is a semiconductor element having a property adapt to high density integrate.

As the integration of semiconductor elements increases, the minimum line width of a gate electrode has been continually decreased to $0.25 - 0.1 \mu m$ in order to improve speed of an element and achieve miniaturization. According to this, as the line width of a gate electrode decreases, the threshold voltage is greatly decreased due to a short channel effect, and thus a serious hot carrier effect occurs.

~~Since such short channel and hot carrier effects have relation with a depth of a doped~~ junction region, there is a need to develop a MOS transistor with a shallow depth of a junction region. Therefore, a MOS transistor having a LDD structure with a low concentration of impurities implanted near an edge of a gate electrode may be used.

A process to manufacture the MOS transistor having a LDD structure is a low concentration impurity ion implant process after patterning the gate electrode. In this case, an oxide film is additionally formed to compensate etch damage to sidewalls of the gate electrode and use as a substrate protection film. Although it is a necessary process to form the oxide film to prevent a channeling phenomenon during the ion implantation, there is a problem that oxygen components return to a surface of a substrate due to confluence between implanted ions and the oxygen components. Thus, a defect layer is formed in the surface of the substrate. Defect positions are grown to dislocation loops during a subsequent heating process, and are finally developed to dislocation lines. In the case where the dislocation lines present in a charge depletion region, they function as a source of leakage current, and deteriorate a junction leakage property.

English Reference of PN040525

Summary of the Invention

An object of the present invention is to solve problems in the art, and to provide a method of manufacturing a MOS transistor by replacing an oxide film with a nitride film having a binding energy higher than that of the oxide film as a substrate protection film for an ion implant process of low concentration impurity regions with (LDD), so as to prevent a channeling phenomenon during the ion implantation, minimize defects which occur in a surface of a substrate, and to improve a junction leakage property.

In order to achieve the above-mentioned object, the present invention provides a method of manufacturing a MOS transistor, forming a transistor having a low concentration impurity implanted region near a substrate between an edge of a gate electrode and a field oxide film, characterized in that the method comprises: forming a field oxide film defining an active region and an isolation region on a first conductive type substrate; forming a gate insulating film on the active region of the substrate exposed by the field oxide film and forming a gate electrode on the gate insulating film; forming a nitride film on an entire surface of the substrate having the gate electrode formed; implanting second conductive type impurities corresponding to an electric property of the MOS transistor at low concentration in the resultant structure having the nitride film formed and forming a low concentration impurity implanted region in the substrate between the edge of the gate electrode and the field oxide film; depositing nitride on the entire surface of the substrate having the gate electrode formed, dry-etching the nitride, and selectively removing the nitride on the surface of the substrate while forming spacers on the gate electrode; and implanting second conductive type impurities at high concentration and forming a high concentration impurity implanted region in the substrate between the edge of the gate electrode and the field oxide film.

Brief Description of the Drawings

Fig. 1 is a sectional view of forming gate electrodes by using a method of manufacturing a transistor according to the present invention.

Fig. 2 is a sectional view of forming a nitride film on the resultant structure of the transistor of the present invention having gate electrodes formed.

Fig. 3 is a sectional view of a low concentration impurity ion implant process of the MOS transistor of the present invention.

Fig. 4 is a sectional view of forming spacers and high concentration impurity ion

English Reference of PNU40525

implanted regions of the MOS transistor of the present invention.

Description of reference numbers

10 p type silicon substrate

12 STI type element isolation film

14 gate insulating film

16 gate electrode

18 nitride film

20 mask

22 low concentration impurity implanted region

24 spacer

26 high concentration impurity implanted region

Detailed Description of the Preferred Embodiments

Next, one preferred embodiment of the present invention will be described in detail in conjunction with drawings. Moreover, the embodiment is only used as an example, but not to limit the scope of the present invention.

Fig. 1 is a sectional view of forming gate electrodes by using a method of manufacturing a transistor according to the present invention.

Referring to Fig. 1, as to a process to forming gate electrodes of the present invention, a shallow trench isolation (STI) process is performed on a silicon substrate 10 as a semiconductor substrate having first conductive type impurities (p type impurities) to form STI type field oxide films 12.

Next, a gate insulating film 14 is formed on the entire surface of the substrate 10. A doped polysilicon film 16 is then formed on the gate insulating film 14. Then, the polysilicon film 16 is patterned by using photolithography and etch processes with a gate mask to form gate electrodes.

Fig. 2 is a sectional view of forming a nitride film on the resultant structure of the transistor of the present invention having gate electrodes formed.

Referring to Fig. 2, a nitride film 18 is formed at a thickness of 30 ~ 40 angstrom on the entire surface of the substrate having gate electrodes formed thereon in order to protect the surface of the substrate and adjust doping concentration when a low concentration impurity ion implant process is performed according to the present invention. Herein, NO or N₂O source gas is used and pressure of the reactor is reduced to less than 20 Torr in the process to

English Reference of PN040525

form the nitride film 18 in order to increase the concentration of nitrogen in the heat treatment apparatus. At this point, a heating process is performed for 20 ~ 40 minutes at temperature of 800 ~ 850°C in a furnace, or for 30 ~ 150 seconds at temperature of 800 ~ 850°C in a rapid heat treatment apparatus, while the concentration of nitrogen is maintained to $1E19 \sim 1E20$ ions/cm².

On the other hand, if the temperature for the nitridization process is too high, impurities for performing channel adjustment may be influenced.

Fig. 3 is a sectional view of a low concentration impurity ion implant process of the MOS transistor of the present invention.

Next, Arsenic (As) used as second conductive type impurities is ion implanted at concentration of $1E13 \sim 5E13$ ions/cm² and voltage of 10 ~ 20 keV, after masks 20 are formed to expose ion implanted regions on the resultant structure having the nitride film 18 formed. Low concentration impurity implanted regions 22 are formed as LDD near the substrate 10 exposed between edges of gate electrodes 16 and field oxide films 12.

The above nitride film 18 is used to protect the surface of the substrate and adjust ion concentration in the low concentration impurity ion implant process of the present invention. Moreover, leakage current can be reduced by near circuit transistors of a merged memory logic through replacing P with As to perform ion implantation process. The merged memory logic is one chip composed of a memory and near circuits thereof. This is because channeling to the substrate merely occurs for As since its atomic weight is higher than that of other ions. Moreover, extent of diffusion is very low and defect compensation of the substrate is very easy.

Fig. 4 is a sectional view of forming spacers and high concentration impurity ion implanted regions of the MOS transistor of the present invention.

Referring to Fig. 4, nitride is deposited on the entire surface of the substrate. The nitride is etched by using reactive ion etch. The nitride on the surface of the substrate is selectively removed while spacers 24 of gate electrodes 16 are formed.

Next, As used as second conductive type impurities is ion implanted at concentration of $1E15 \sim 5E15$ ions/cm² and voltage of 50 ~ 60 keV with gate electrodes 16 and spacers 24 used as masks. High concentration impurity implanted regions 26 are formed as sources/drains within the substrate 10 between edges of gate electrodes and field oxide films. Then, rapid heat treatment is performed to diffuse implanted impurities and complete the MOS transistor

English Reference of PN040525

of the present invention.

As described above, the method of manufacturing a MOS transistor of the present invention comprises: patterning gate electrodes; forming a nitride film having a binding energy about 1.5 times higher than that of the oxide film as a substrate protection film and concentration adjustment; performing LDD ion implant process. Thus, the nitride film can prevent atoms from returning to the surface of the substrate during the low concentration impurity ion implant process.

Therefore, the present invention can achieve stable junction interfaces and prevent leakage current at junction interfaces.

English Reference of PN040525

CLAIMS

1. A method of manufacturing a MOS transistor, forming a transistor having a low concentration impurity implanted region near a substrate between an edge of a gate electrode and a field oxide film, characterized in that the method comprises:

forming a field oxide film defining an active region and an isolation region on a first conductive type substrate;

forming a gate insulating film on the active region of the substrate exposed by the field oxide film and forming a gate electrode on the gate insulating film;

forming a nitride film on an entire surface of the substrate having the gate electrode formed;

implanting second conductive type impurities corresponding to an electric property of the MOS transistor at low concentration in the resultant structure having the nitride film formed and forming a low concentration impurity implanted region in the substrate between the edge of the gate electrode and the field oxide film;

depositing nitride on the entire surface of the substrate having the gate electrode formed, dry-etching the nitride, and selectively removing the nitride on the surface of the substrate while forming spacers on the gate electrode; and

implanting second conductive type impurities at high concentration and forming a high concentration impurity implanted region in the substrate between the edge of the gate electrode and the field oxide film.

2. The method of manufacturing a MOS transistor according to claim 1, wherein the step of forming a nitride film is performed by using NO or N₂O source gas and reducing pressure of a reactor to less than 20 Torr.

3. The method of manufacturing a MOS transistor according to claim 2, wherein a step of heating is performed for 20 ~ 40 minutes at temperature of 800 ~ 850 °C in a furnace, or for 30 ~ 150 seconds at temperature of 800 ~ 850 °C in a rapid heat treatment apparatus.

English Reference of PN040525

4. The method of manufacturing a MOS transistor according to claim 1, wherein the nitride film has a thickness of 30 ~ 40 angstrom.

*English Reference of PN040525***ABSTRACTS**

An object of the present invention is to provide a method of manufacturing a MOS transistor with an insulating film used to protect a surface of a substrate and adjust concentration of impurities during a low concentration impurity ion implant process. The method comprises: forming a gate insulating film on a semiconductor substrate; forming a gate electrode on the gate insulating film; forming a nitride film on an entire surface of the substrate having the gate electrode formed to protect the surface of the substrate in the subsequent low concentration impurity ion implant process; and implanting impurities having conductive type corresponding to an electric property of the MOS transistor at low concentration in the resultant structure having the nitride film formed and forming a low concentration impurity implanted region (LDD) in the substrate between the edge of the gate electrode and the field oxide film. Thus, a nitride film having a binding energy higher than that of an oxide film is used to replace the oxide film as an insulating film formed before a LDD ion implant process so as to minimize defects which occur in a surface of a substrate in the ion implant process, and to improve a junction leakage property.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶
H01L 29/78

(11) 공개번호 특2001-0008615
(43) 공개일자 2001년02월05일

(21) 출원번호 10-1999-0026535
(22) 출원일자 1999년 07월 02일

(71) 출원인	현대전자산업 주식회사 김영환 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	류창우 경기도성남시분당구야탑동매화마을301동906호
(74) 대리인	박대진 정은섭

심사청구 : 없음

(54) 모스트랜지스터 제조방법

요약

본 발명은 모스트랜지스터의 저농도 불순물 이온 주입시 기판 표면과 농도 조절을 위한 절연막 제조 공정에 관한 것으로서, 특히 그 제조 공정은, 반도체 기판에 게이트절연막을 형성하고 그 위에 게이트전극을 형성하며, 게이트전극이 형성된 기판 전면에 이후 실시될 저농도 불순물 이온주입시 기판 표면을 보호하기 위한 질화막을 형성하며, 질화막이 형성된 구조물에 모스트랜지스터의 전기적 특성에 대응하는 도전형 불순물을 저농도로 주입하여 게이트전극 에지 및 필드 산화막 사이의 기판 내에 저농도 불순물 주입영역(LDD)을 형성한다. 이에 따라, 본 발명은 LDD 이온주입 공정전에 형성되는 절연막으로서 산화막에 비해 결합 에너지가 큰 질화막을 이용함으로써 이온주입 공정시 기판표면에 발생하는 결함을 최소화하여 접합 누설 특성을 향상시킨다.

대표도

53

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 모스트랜지스터 제조 방법에 따라 게이트전극을 형성한 것을 나타낸 단면도,
 도 2는 본 발명에 따른 모스트랜지스터의 게이트전극이 형성된 구조물에 질화박막을 형성한 것을 나타낸 단면도,
 도 3은 본 발명에 따른 모스트랜지스터의 저농도 불순물 이온 주입공정을 나타낸 단면도,
 도 4는 본 발명에 따른 모스트랜지스터의 스페이서와 고농도 불순물 주입영역을 형성한 것을 나타낸 단면도.

* 도면의 주요부분에 대한 부호설명 *

10: p형 반도체기판12: STI형 소자분리막
14: 게이트절연막16: 게이트전극
18: 질화막20: 마스크
22: 저농도 불순물 주입영역24: 스페이서
26: 고농도 불순물 주입영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체장치의 모스트랜지스터 제조방법에 관한 것으로서, 특히 핫캐리어 효과를 위해 모스트랜지스터의 LDD(lightly doped drain) 공정시 기판의 보호 마스크로 사용되는 산화막에 의해 발생하는 문제점을 개선하기 위한 기술이다.

모스트랜지스터는 반도체기판 상부에 형성된 게이트가 반도체층에서 얇은 산화 실리콘막에 의해 격리되어 있는 전계효과 트랜지스터로 접합형과 같이 임피던스가 저하되는 일이 없어서, 고밀도 집적화에 적합한 특성을 지니고 있는 반도체 장치이다.

반도체 소자의 집적도가 높아지면서 디바이스의 속도 향상과 소형화를 위해서 게이트전극의 최소 선폭이 $0.25 \sim 0.1 \mu\text{m}$ 까지 계속 줄어들고 있다. 이렇게 게이트전극 선폭이 작아질수록 쇼트 채널 효과에 따라 문턱전압이 급격히 감소하며 동시에 핫 캐리어 효과도 심하게 발생한다.

이러한 쇼트 채널 및 핫 캐리어 효과는 불순물이 주입된 접합영역의 깊이와 관련이 있기 때문에 접합영역 깊이가 얇은 모스트랜지스터의 개발이 요구되고 있다. 이를 위해 게이트전극의 에지 근방에 불순물이 저농도로 주입된 LDD(Lightly Doped Drain) 구조의 모스트랜지스터가 등장하게 되었다.

한편, LDD 구조의 모스트랜지스터의 제조 공정은 게이트전극을 패터닝한 후에 대개 저농도의 불순물 이온주입 공정을 실시하는데, 이때 게이트전극 측벽의 식각 손상을 보상하면서 기판의 보호막으로서 산화막을 추가 형성하고 있다. 상기 산화막은 이온주입시의 채널링 현상을 방지하기 위해 필수적인 공정이지만 주입되는 이온과의 충돌로 인해 산소성분이 기판 표면으로 다시 되돌아오는 문제점이 있었다. 이로 인해 기판표면에 결함층이 발생하게 되어 이후 열공정시 이 결함 부위는 전위 루프 형태로 성장하게 되고 나중에는 전위 라인으로 발전된다. 이 전위라인이 전하 공핍영역에 존재할 경우 누설 전류의 소스로 작용하게 되어 접합 누설 특성을 악화시킨다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 상기 종래기술의 문제점을 해결하기 위하여 산화막에 비해 결함 에너지가 큰 질화막을 저농도 불순물 주입영역(LDD)을 위한 이온주입 공정의 기판 보호막으로 대체함으로써 이온 주입시 채널링 현상을 방지하면서 기판표면에 발생하는 결함을 최소화하여 접합 누설 특성을 향상시키는 모스트랜지스터 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 게이트전극 에지와 필드산화막 사이의 기판 근방에 저농도 불순물 주입영역을 갖는 트랜지스터를 형성함에 있어서, 제 1도전형 반도체기판에 소자의 활성 영역과 분리영역을 정의하는 필드산화막을 형성하는 단계와, 필드산화막에 의해 드러난 기판의 활성 영역 상부에 게이트절연막을 형성하고 그 위에 게이트전극을 형성하는 단계와, 게이트전극이 형성된 기판 전면에 질화박막을 형성하는 단계와, 질화박막이 형성된 구조물에 모스트랜지스터의 전기적 특성에 대응하는 제 2도전형 불순물을 저농도로 주입하여 게이트전극 에지와 필드 산화막 사이의 기판 내에 저농도 불순물 주입영역을 형성하는 단계와, 게이트전극이 형성된 기판 전면에 질화물질을 증착하고 이를 건식식각해서 게이트전극에 스페이서를 형성함과 동시에 기판 표면상의 질화박막을 선택적으로 제거하는 단계와, 제 2도전형 불순물을 고농도로 주입하여 게이트전극 에지와 필드 산화막 사이의 기판 내에 고농도 불순물 주입영역을 형성하는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세하게 설명한다. 또한, 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이다.

도 1은 본 발명에 따른 모스트랜지스터 제조 방법에 따라 게이트전극을 형성한 것을 나타낸 단면도이다.

이를 참조하면, 본 발명의 게이트전극 제조 공정은 반도체기판으로서 제 1도전형 불순물(p형 불순물)을 갖는 실리콘기판(10)에 STI(shallow trench isolation)공정을 실시하여 STI형 필드산화막(12)을 형성한다.

이어서, 기판(10) 전면에 게이트절연막(14)으로서 산화막을 형성하고 그 위에 도전층으로서 도프트 폴리실리콘막(16)을 적층한다. 게이트 마스크를 이용한 사진 및 식각 공정으로 폴리실리콘막(16)을 패터닝하여 게이트 전극을 형성한다.

도 2는 본 발명에 따른 모스트랜지스터의 게이트전극이 형성된 구조물에 질화박막을 형성한 것을 나타낸 단면도이다.

이를 참조하면, 본 발명에 따라 저농도 불순물 이온 주입시 기판 표면을 보호하면서 도핑 농도를 조절하기 위해 게이트전극이 형성된 기판 전면에 질화박막(18)을 $30 \sim 40 \text{ \AA}$ 의 두께로 형성한다. 여기서, 질화박막(18) 제조 공정은 열처리 장비에서 질소의 농도를 높이기 위해 NO 및 N

O_2 소스 가스를 사용하며 반응 챔버의 대기를 20Torr이하로 한다. 이때, 열공정시 퍼니스에서는 $800 \sim 850^\circ\text{C}$ 의 온도 조건에서 20~40분간 실시하거나 급속 열처리 장비에서는 $800 \sim 850^\circ\text{C}$ 의 온도 조건에서 30~150초동안 실시하도록 하여 질소의 농도를 $1\text{E}19 \sim 1\text{E}20 \text{ ions/cm}^2$ 로 유지시킨다.

한편, 질화 공정을 위해 너무 높은 열공정을 진행하며 채널 조절을 위한 불순물에 영향을 줄 수 있다.

도 3은 본 발명에 따른 모스트랜지스터의 저농도 불순물 이온 주입공정을 나타낸 단면도이다.

이어서, 질화박막(18)이 형성된 상기 구조물에 이온 주입 영역을 개방하기 위한 마스크(20)를 형성한 후에 제 2도전형(n형) 불순물로서 As(Arsenic)를 $1E13 \sim 5E13 \text{ ions/cm}^2$ 의 농도와 $10 \sim 20 \text{ KeV}$ 의 전력 세기로 이온주입하여 게이트 전극(16) 에지와 필드산화막(12) 사이에 드러난 기판(10) 근방에 LDD인 저농도 불순물 주입영역(22)을 형성한다.

본 발명의 저농도 불순물 이온주입 공정시 상기 질화박막(18)은 기판 표면을 보호하면서 이온의 농도를 조절하는 역할을 한다. 또한, P 대신에 As로 이온주입 공정을 하면 메모리와 그 주변회로가 원칩화된 복합 반도체장치(merged memory logic)의 주변회로 트랜지스터에서 누설전류를 감소시킬 수 있다. 그 이유는 As가 다른 이온에 비해 원자량이 크기 때문에 기판으로의 채널링이 거의 발생하지 않을 뿐만 아니라 확산도가 매우 낮고 기판의 결함 보상이 매우 용이하기 때문이다.

도 4는 본 발명에 따른 모스트랜지스터의 스페이서와 고농도 불순물 주입영역을 형성한 것을 나타낸 단면도이다.

이를 참조하면, 상기 기판 전면에 질화물질을 증착하고 반응성 식각공정(reactive ion etch)으로 상기 질화물질을 식각하여 게이트 전극(16)에 스페이서(24)를 형성함과 동시에 기판 표면상의 질화박막을 선택적으로 제거한다.

계속해서, 게이트 전극(16) 및 스페이서(24)를 마스크로 삼아 제 2도전형 불순물로서 As를 $1E15 \sim 5E15 \text{ ions/cm}^2$ 의 농도와 $50 \sim 60 \text{ KeV}$ 의 전력 세기로 이온주입하여 게이트전극 에지와 필드 산화막 사이의 기판 내에 소스/드레인인 고농도 불순물 주입영역(26)을 형성한다. 그 다음, 급속 열처리 공정을 실시하여 주입된 불순물을 확산시켜 본 발명에 따른 모스트랜지스터를 완성한다.

발명의 효과

상술한 바와 같이 본 발명의 모스트랜지스터 제조방법은, 게이트전극을 패터닝하고 기판 표면에 산화막에 비해 결합 에너지가 약 1.5배 정도 크면서 기판 보호마스크 및 농도 조절용 질화박막을 형성한 후에 LDD 이온주입 공정을 실시한다. 그러면, 질화막은 저농도 불순물 이온 주입시 기판 표면으로 원자가 되돌아오는 것을 방지할 수 있어 기판의 결함 부위를 최소화한다.

이에 따라, 본 발명은 안정된 접합면을 얻을 수 있어 접합면에서의 누설전류의 발생을 방지할 수 있다.

(57)청구의 범위

청구항1

게이트전극에지와 필드산화막 사이의 기판 근방에 저농도 불순물 주입영역을 갖는 트랜지스터를 형성함에 있어서, 제 1도전형 반도체기판에 소자의 활성 영역과 분리영역을 정의하는 필드산화막을 형성하는 단계; 상기 필드산화막에 의해 드러난 기판의 활성 영역 상부에 게이트절연막을 형성하고 그 위에 게이트전극을 형성하는 단계; 상기 게이트전극이 형성된 기판 전면에 질화박막을 형성하는 단계; 상기 질화박막이 형성된 구조물에 모스트랜지스터의 전기적 특성에 대응하는 제 2도전형 불순물을 저농도로 주입하여 게이트전극 에지와 필드 산화막 사이의 기판 내에 저농도 불순물 주입영역을 형성하는 단계; 상기 게이트전극이 형성된 기판 전면에 질화물질을 증착하고 이를 건식식각해서 상기 게이트전극에 스페이서를 형성함과 동시에 기판 표면상의 질화박막을 선택적으로 제거하는 단계; 및 제 2도전형 불순물을 고농도로 주입하여 게이트전극 에지와 필드 산화막 사이의 기판 내에 고농도 불순물 주입영역을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 모스트랜지스터 제조 방법.

청구항2

제 1항에 있어서, 상기 질화박막의 형성 공정은 열처리 장비에서 NO 및 N_2O 소스 가스를 사용하며 반응 챔버의 대기는 20Torr 이하로 두고 실시하는 것을 특징으로 하는 모스트랜지스터 제조 방법.

청구항3

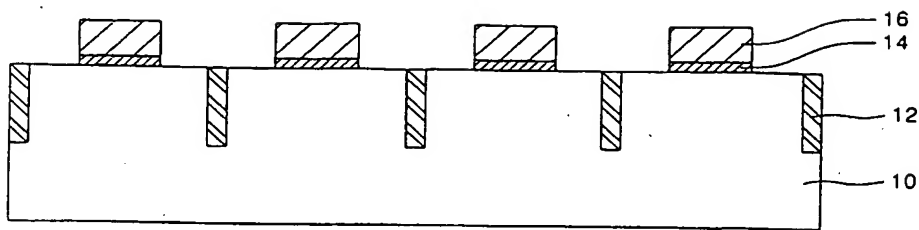
제 2항에 있어서, 상기 열공정은 퍼니스에서는 $800 \sim 850^\circ\text{C}$ 의 온도 조건에서 20~40분간 실시하거나 급속 열처리 장비에서는 $800 \sim 850^\circ\text{C}$ 의 온도 조건에서 30~150초동안 실시하는 것을 특징으로 하는 모스트랜지스터 제조 방법.

청구항4

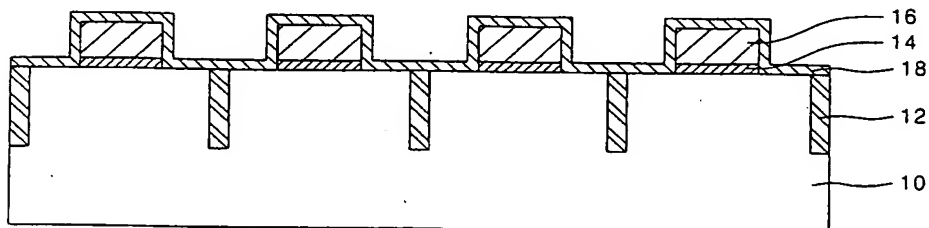
제 1항에 있어서, 상기 질화박막의 두께는 $30 \sim 40 \text{ \AA}$ 인 것을 특징으로 하는 모스트랜지스터 제조 방법.

도면

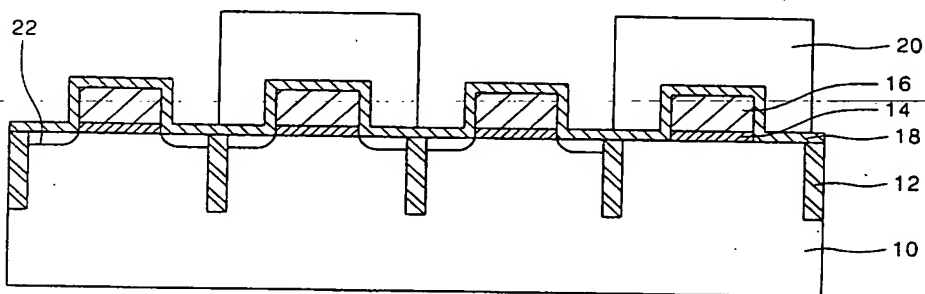
도면1



도면2



도면3



도면4

